

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102747

(43)Date of publication of application : 16.04.1996

(51)Int.Cl. H04L 12/28
H04L 29/06
H04Q 3/00

(21)Application number : 06-261626

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.09.1994

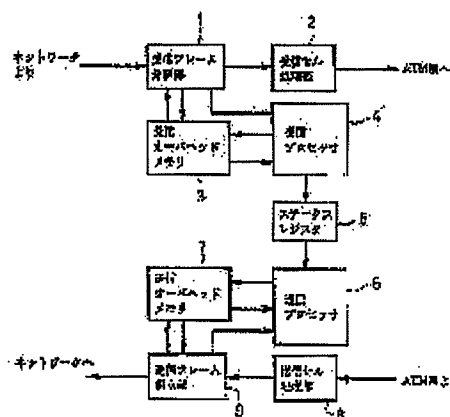
(72)Inventor : MIYAZAWA YUICHI

(54) LSI FOR COMMUNICATION

(57)Abstract:

PURPOSE: To eliminate the need of dedicated hardwares for respective processings, to reduce a scale and to cope with the addition and change of physical layers in the future by providing a processor inside an LSI and allowing the processor to perform an overhead processing.

CONSTITUTION: Data inputted to a reception frame disassembling part 1 are divided into an overhead and a payload, a prescribed processing is performed to the payload in a cell processing part 2 and it is sent to an ATM layer. The overhead is sent to a memory 3 and the processor 4 reads it, performs a prescribed processing to the various kinds of information and writes it in a status register 5. In the meantime, transmission data are inputted from the ATM layer to a transmission cell processing part 8 in the ATM cell form of 53 bytes, error correction information is put in a cell header and transmission to a frame assembling part 9 is performed. Then, the processor 6 takes out the overhead byte of an overhead memory 7 updated by the information of the register 5 and assembles and transmits a transmission frame. In such a manner, by using the processor and the overhead memory and performing the processings to be performed in the physical layer, the scale of the hardware is reduced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102747

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L	12/28			
	29/06			
H 0 4 Q	3/00			
		9466-5K	H 0 4 L 11/ 20	F
		9371-5K	13/ 00	3 0 5 Z
			審査請求 未請求 請求項の数7	FD (全 21 頁)

(21) 出願番号 特願平6-261626

(22) 出願日 平成6年(1994)9月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 宮沢 祐一

神奈川県川崎市幸区小向東芝町1 株式会

社東芝多摩川工場内

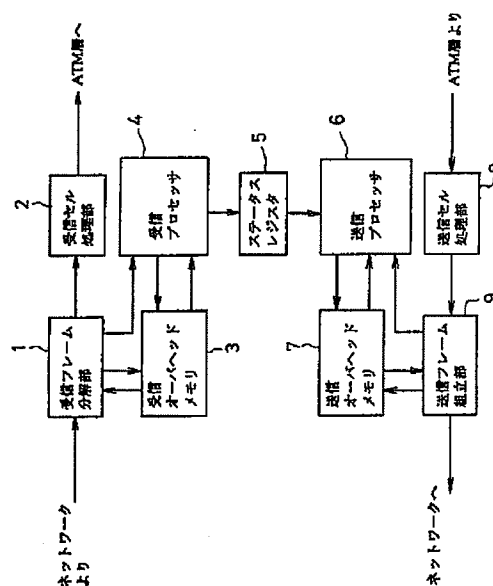
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 通信用 L S I

(57) 【要約】 (修正有)

【目的】 将来の物理層規格の追加・変更に対応でき、ハードウェア規模を縮小する。

【構成】 ネットワークからのデータを受信する受信フレーム分解部1と、この受信フレーム分解部にて分解されたデータのうち、ペイロードの処理を行い、ATM層に出力する受信セル処理部2と、受信フレーム分解部1にて分解されたデータのうち、オーバーヘッドを蓄積する受信オーバーヘッドメモリ3と、この受信オーバーヘッドメモリにて蓄積された所望のデータを入力して、受信時のオーバーヘッドの処理を行う受信プロセッサ4と、この受信プロセッサにて処理された結果を記憶するステータスレジスタ5と、これに記憶された結果を入力し、送信時のオーバーヘッドの処理を行う送信プロセッサ6と、この送信プロセッサの出力を蓄積する送信オーバーヘッドメモリ7と、ATM層からのデータを受信する送信セル処理部8と、この送信セル処理部の出力及び送信オーバーヘッドメモリの出力をフレームに組立て、ネットワークに送信する送信フレーム組立部9とを有する。



【特許請求の範囲】

【請求項1】 B-I SDNの物理層のプロトコル処理を行う通信L S Iにおいて、

オーバーヘッド情報を格納するメモリと、プロトコル処理のプログラムを実行するプロセッサとを備えることを特徴とする通信L S I。

【請求項2】 前記プロセッサは、物理層のフレームに同期した信号の入力により、待機状態から所定の動作を行なう動作状態に変化することを特徴とする請求項1に記載の通信L S I。

【請求項3】 前記物理層のフレームに同期した信号は、物理層フレームの各行に対応して発生し、プロトコル処理のプログラムが物理層フレームの各行に対応して定義されていることを特徴とする請求項2に記載の通信L S I。

【請求項4】 前記プロセッサは、受信を行うときプロトコル処理のプログラムを実行する受信プロセッサと、送信を行うときプロトコル処理のプログラムを実行する送信プロセッサとを備えることを特徴とする請求項1に記載の通信L S I。

【請求項5】 B-I SDNの物理層のプロトコル処理を行う通信L S Iにおいて、
ネットワークからのデータを受信する受信フレーム分解部と、この受信フレーム分解部にて分解されたデータのうち、ペイロード部の処理を行い、ATM層に出力する受信セル処理部と、
前記受信フレーム分解部にて分解されたデータのうちの、オーバーヘッド部を蓄積する受信オーバーヘッドメモリ部と、
この受信オーバーヘッドメモリ部にて蓄積された所望のデータを入力して、受信時のオーバーヘッドの処理を行う受信プロセッサ部と、
この受信プロセッサ部にて処理された結果を記憶するステータスレジスタ部と、
このステータスレジスタ部に記憶された結果を入力し、送信時のオーバーヘッドの処理を行う送信プロセッサ部と、
この送信プロセッサ部の出力を蓄積する送信オーバーヘッドメモリ部と、
ATM層からのデータを受信する送信セル処理部と、
この送信セル処理部の出力及び前記送信オーバーヘッドメモリ部の出力をフレームに組立て、ネットワークに送信する送信フレーム組立部と、
を具備することを特徴とする通信L S I。

【請求項6】 前記受信プロセッサ部は、現在実行している命令の次に実行する命令語を格納する番地を保持するプログラムカウンタと、
このプログラムカウンタが保持する番地に格納された命令を出力し、プロトコル処理のプログラムの記憶及び変更が可能なプログラムRAMと、

このプログラムRAMから出力された命令を保持する命令レジスタと、

この命令レジスタにて保持された命令のデコードを行う命令デコーダと、

前記受信フレーム分解部及び受信オーバーヘッドメモリに格納されたデータを選択するセレクトと、

このセレクトにて選択されたデータを保持するレジスタと、

このレジスタに保持されたデータを入力し、処理を行う演算部と、

を有することを特徴とする請求項5に記載の通信L S I。

【請求項7】 前記受信オーバーヘッドメモリ部は、オーバーヘッドのSOH、AUポインタ、及びPOHをその構造のまま格納することを特徴とする請求項5に記載の通信L S I。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は通信L S Iに関し、特に、今後の規格の追加・変更に対応する物理層の伝送フレームの処理を行う通信L S Iに関する。

【0002】

【従来の技術】主に光ファイバーを使って家庭、企業、公共施設、商業施設、官公庁等の間を高速の通信回線で結び、家庭に向けてはビデオオンデマンド、テレビショッピング、遠隔医療、チケット予約などのサービスを、また企業向けには高速データ通信、テレビ会議等のサービスを実現する構想が進んでいるが、これを一般にB-I SDN (Broadband Integrated Services Digital Network = 広帯域サービス総合ディジタル網) と称し、国内では2010年までに全国的なネットワークを完成させる予定で計画が進んでいる。このB-I SDNについては「わかりやすいB-I SDN技術」(富永英義監修、オーム社、平成5年10月25日発行)に解説されている。一般に通信のプロトコルは階層化されており、B-I SDNでは下から物理層、ATM層、ATMアダプテーション層および上位層という階層構成になっている。物理層は光・電気変換、ビット同期、伝送フレームの処理を行なう。ATM層はATMセルのヘッダに関する処理を、ATMアダプテーション層はユーザデータとATMセル間の変換を行なう。上位層はコネクションの設定・解消といったプロトコル処理を行なう。

【0003】ここで、B-I SDNの物理層としてITU (International Telecommunication Union = 国際電気通信連合) においてSDH (Synchronous Digital Hierarchy = 同期ディジタルハイアラーク) が規定されている。SDHでは伝送レートが155.52MbpsのSTM-1と622.08MbpsのSTM-4の2通りが規定されているが、以下155.52MbpsのSTM-1で説明する。STM-1の伝送フレーム構造は図9(a)に示

したようになっている。伝送フレームは理解を容易にするため横270バイト、縦9行の構造で表す。実際には1行目の左端の1バイトから順次ビットストリームに変換して伝送する。伝送フレームの先頭の9列にはオーバーヘッドとしてSOHとAU-4ポインタが配置され、残りの部分にはVC-4と呼ばれるバーチャルコンテナが入る。また、VC-4は図9(b)に示した通り、横261バイト、縦9行の構造をとり、先頭の1列にPOHと呼ばれるオーバーヘッドが配置されている。VC-4においてPOHを除く部分を「ペイロード」と呼び、53

10 バイトのATMセルがマッピングされる。
【0004】次に、図9(a)に示したSOH及びAU-4に格納されているパラメータの配置図を図11(a)に示す。また、これらのパラメータの用途を図10(a)に示す。同様に、図9(b)に示したPOHに格納されているパラメータの配置図を図11(b)に示す。また、これらのパラメータの用途を図10(b)に示す。本発明の通信用LSIが応用分野として想定しているユーザ・網インタフェースでは図10(a)に示すように使用されるオーバーヘッドは一部である。なおこれらの図表で“NNI”とあるのはNetwork Node Interfaceの略であり、これに対して、ユーザ・網インタフェースは“UNI”(User Network Interface)と略称してある。

【0005】次に、以下の説明での便宜のため、物理層で扱う情報を以下に示す。なお、これらについてはBellcore発行のTA-NWT-000253、TR-NWT-001112、ITU-T発行のRecommendation I.432に規定されている他、「SDH伝送方式」(島田禎晋監修、オーム社、平成5年9月20日発行)にも解説されている。

障害状態

LOS (Loss of Signal) : 入力信号がゼロの状態が2.3μsec以上100μsec以下の範囲で継続した場合検出とする。また2フレーム連続で正常な同期パターン(A1, A2)を検出し、かつその同期パターンの間にLOS条件が成立しない場合に検出解除とする。なお、同期パターンはフレームの先頭にあり、STM-1の場合A1(=F6H)が3個、A2(=28H)が3個の計48ビットで構成される。

40 OOF (Out of Frame) : 4フレーム連続で同期パターンエラー発生のとき検出とする。なお受信したフレームで同期パターン48ビットの内1ビットでもエラーしていると同期パターンエラーと認識される。2フレーム連続で正常な同期パターン(A1, A2)を検出し、かつその同期パターンの間にLOS条件が成立しない場合に検出解除とする。

LOF (Loss of Frame) : 3msec間OOF状態が継続したとき検出とする。また3msec間OOF解除状態が継続したとき検出解除とする。

LOP (Loss of Pointer) : N回続けて(Nは8~10)正常なポインタが検出されたとき、またはN回続けてNDF有効状態が検出されたときLOP状態検出とする。なおNDFは正常作動時には1回だけ有効になる。LOP状態で正常なNDFを1回だけ受信するか3回続けて正常なポインタが検出されたときに検出解除とする。

LOC (Loss of Cell Delineation) : N回連続で(Nは7程度)セルヘッダ誤り発生で検出。またN回連続で正常なセルヘッダ検出(=セル同期確立)で解除する。

警報信号

セクションAIS (Alarm Indication Signal) : LOSまたはLOF状態で送出。受信不良状態の解消で送出を停止する。

バスAIS (Alarm Indication Signal) : 受信不良状態に入ったか、受信フレームでセクションAISを検出したとき送出し、受信が正常でセクションAISも検出されないとき送出を停止する。

20 セクションFERF (Far End Receive Failure) : LOSまたはLOF状態または受信フレームからセクションAISを検出したとき送出。受信不良状態の解消およびセクションAIS不検出で送出を停止する。

バスFERF (Far End Receive Failure ; PFERF) : LOS、LOF、LOP、LOCのいずれかの状態または受信フレームからセクションAISまたはバスAISを検出したとき送出する。上記状態の解消で送出を停止する。

バスYEL (Yellow ; PYEL) : バスFERFの状態が2~10秒継続したとき送出する。またバスFERFの解消で送出を停止する。

統計情報

セクションBIP-8 (SBIP-8) : 1フレーム全体について8ビットずつの排他的論理和(EXOR)をとった結果。送信時はこの計算結果を次のフレームのB1バイトに入れる。受信時は計算結果を次の受信フレームのB1バイトと比較して不一致ビット数をエラービット数としてカウントする。

40 セクションBIP-24 (SBIP-24) : 1フレーム全体(ただしSOHの3行目までは除く)について24ビットずつの排他的論理和(EXOR)をとった結果。送信時は次のフレームのB2バイトに入れる。受信時は次の受信フレームのB2バイトと比較してエラービット数をカウントする。

バスBIP-8 (PBIP-8) : VC4全体について8ビットずつの排他的論理和(EXOR)をとった結果。送信時は次のフレームのB3バイトに入れる。受信時は次の受信フレームのB3バイトと比較してエラービット数をカウントする。

セクションFEBE : 受信フレームのエラービット数。

50 受信したフレームについてセクションBIP-24を計

算し、それを次のフレームのB2バイトと比較することで、エラービットの数が得られる。これをセクションFEBEとして送信フレームのZ2バイトに入れる。

バスFEBE：受信VC4のエラービット数。受信したVC4についてバスBIP-8を計算し、それを次のVC4のB3バイトと比較することで、エラービットの数が得られる。これをバスFEBEとして送信フレームのG1バイトに入れる。

【0006】フレームオーバーヘッドの処理は以下のように要約される。

〔送信時〕

A1：F6Hに固定。

A2：28Hに固定。

C1：01H, 02H, 03Hのいずれかの値に固定。

B1：前のフレームのセクションBIP-8の結果を入れる。

H1/H2：VC4のポインタ値を入れる。またバスAIS送出時H1, H2をともにFFHにする。

H3：バスAIS送出時FFHにする。

B2：前のフレームのセクションBIP-24の結果を入れる。

K2：セクションAIS送出時、下位3ビットを111にする。

Z2：セクションFEBEの値を入れる。

J1：64バイトの文字データを循環的に入れる。

B3：1つ前のVC4のバスBIP-8の結果を入れる。

C2：13Hに固定。

G1：上位4ビットにバスFEBEの値を入れる。バスFERF送出時は上位4ビットに1001を設定する。

バスYEL送出時は上位から5ビット目に1を立てる。

なお、上記以外のオーバーヘッドバイトは00Hに固定する。

〔受信時〕

A1：フレーム同期に使用。

A2：フレーム同期に使用。

C1：受信時は無視。

B1：1つ前の受信フレームのパリティ演算BIP-8の結果と比較し、不一致ビット数をカウントアップする。

H1/H2：ポインタを計算する。またバスAISを検出する。

H3：ポインタ変更時に使用。

B2：1つ前の受信フレームのパリティ演算BIP-24の結果と比較し、不一致ビット数をカウント。（この結果をセクションFEBEとして送信フレームのZ1バイトに入れる。）

K2：セクションAISを検出。

Z2：セクションFEBEを取り出して、カウントアップする。

J1：受信時は無視。

B3：1つ前の受信パリティ演算BIP-8の結果と比較し、不一致ビット数をカウント。（この結果をバスFEBEとして送信フレームのG1バイトに入れる。）

C2：受信時は無視。

G1：上位4ビットからバスFEBEを取り出してカウントアップする。また同じく上位4ビットからバスFERFを検出する。さらに5ビット目をチェックしてバスYELを検出する。

なお、上記以外のオーバーヘッドバイトは受信時は無視する。

【0007】次に、図12乃至図17に基づき、従来の物理層の通信用LSIについて説明する。図12に従来の物理層LSIの全体構成を示す。この物理層LSIは、ネットワーク側からの受信データを受信する受信フレーム分解部100と、この受信フレーム分解部100からデータを入力し、このデータに所定の処理を行った後にATM層に出力する受信セル処理部101と、前記受信フレーム分解部100からデータを入力する受信オーバーヘッド処理部102と、この受信オーバーヘッド処理部102からデータを入力するステータスレジスタ103と、このステータスレジスタ103からデータを入力する送信オーバーヘッド処理部104と、ATM層からのデータを受信する送信セル処理部106と、この送信セル処理部106及び送信オーバーヘッド処理部104からのデータを入力し、ネットワークへ送信する送信フレーム組立部105とを有する。次に、この通信用LSIの動作を説明する。ネットワークからの受信データはフレーム分解部100でオーバーヘッドとペイロードに分けられる。ペイロード部分は受信セル処理部101に送られ、53バイトのATMセルに整理されてATM層に送られる。オーバーヘッド部分は受信オーバーヘッド処理部102に送られ、各種情報が取り出され、ステータスレジスタ103にその結果が書き込まれる。一方、送信データは53バイトのATMセルの形でATM層から送信セル処理部106に入力され、ヘッダ情報に誤り訂正情報が付加される。また、送信オーバーヘッド処理部104はステータスレジスタからの情報に基づいて送信オーバーヘッドバイトの内容を決定する。送信フレーム組立部105は送信オーバーヘッド処理部104からオーバーヘッドデータを、また送信セル処理部106からペイロードデータを受取り、伝送フレームを組み立てネットワークに送り出す。

【0008】以下、物理層LSIの各部の処理動作の詳細を受信系、送信系に分けて説明する。まず、受信部から説明することにする。受信フレーム分解部100は、図13にその構成を示す通り、ネットワークからの受信データにより同期化動作を行うフレーム同期回路100-1と、このフレーム同期回路100-1の出力によ

り、現在入力中のデータのアドレスを出力するフレームカウンタ100-2と、このフレームカウンタ100-2の出力により受信セル処理部への出力を変化するペイロード表示回路100-3と、前記フレームカウンタ100-2の出力により受信オーバーヘッド処理部への出力を変化するレジスタ書き込み回路100-4と、前記ネットワークから受信した受信データを受信セル処理部及び受信オーバーヘッド処理部へ出力するディスクランブラ100-5とを有する。次に、この受信フレーム分解部100の動作を説明する。ネットワークより受信したデータはディスクランブラ100-5でスクランブルを解除され、受信セル処理部及び受信オーバーヘッド処理部に出力される。また、このデータは、フレーム同期回路100-1にも入力される。フレーム同期回路100-1は受信フレームの先頭の同期ワードA1、A2を検出して同期化動作を行なう。フレームカウンタ100-2はフレーム同期回路100-1の制御を受けて受信フレームに同期してカウント動作を行なう。レジスタ書き込み回路100-4はフレームカウンタ100-2の値をデコードしてオーバーヘッドバイト(A1、A2、C1、
 100-5)の内必要なもの(B1、B2など)を受信オーバーヘッド処理部内の該当するレジスタに書き込むパルスが発生する。ペイロード表示回路100-3は受信データがペイロードの時、Highレベルになる信号を発生し、受信セル処理部に対してセルデータを受信中であることを受信セル処理部に伝える。

【0009】次に、受信オーバーヘッド処理部102の詳細を図14及び図15を用いて説明する。この受信オーバーヘッド処理部102は、上述した受信フレーム分解部100にて、オーバーヘッド部とペイロードに分解され、そのうち、オーバーヘッド部についての処理を行うものである。上述した受信フレーム1のレジスタ書き込み回路100-4が出力するパルスにより、ディスクランブラ100-5からの出力の処理を行う。以下、オーバーヘッドバイト別に受信オーバーヘッド処理部102の動作を説明する。

B1：図14(a)に示す通り、B1バイトはレジスタ110-1に取り込まれる。SBIP-8計算回路110-2によって前フレームのセクションBIP-8を計算しておく。レジスタ110-1の出力8ビットとSBIP-8計算回路110-2の出力8ビット毎に比較器110-3で比較する。異なっているビットは前フレームにビットエラーがあったことを示す。カウンタ110-4でビットエラーの数を数え、加算器110-5とレジスタ110-6により、ビットエラー数を蓄積する。

H1/H2：図14(b)に示す通り、H1、H2バイトはレジスタ111-1、111-2にそれぞれ取り込まれる。これをポインタ変更検出回路111-3により解釈し、AU-4ポインタを変更するべきか否かを決定する。

B2：図14(c)に示す通り、B2バイト(B2バイトは3個からなるが、ここではH、M、Lを付けて区別する)はレジスタ112-1~112-3に取り込まれる。SBIP-24計算回路112-4によって前フレームのセクションBIP-24を計算しておく。レジスタ112-1~112-3の出力24ビットとSBIP-24計算回路112-4の出力24ビットをビット毎に比較器112-5で比較する。異なっているビットは前フレームにビットエラーがあったことを示す。カウンタ112-6でビットエラーの数を数え、加算器112-7とレジスタ112-8により、ビットエラー数を蓄積する。

K2：図15(a)に示す通り、K2バイトはレジスタ113-1に取り込まれる。下位3ビットが111と等しくなる回数をカウントするSAIS検出器113-2により、セクションAISを検出し、110と等しくなる回数をカウントするSFERF検出器113-3によりセクションFERFを検出する。

Z2：図15(b)に示す通り、Z2バイト(Z2バイトは1フレームに3個あるが、この場合は先頭から3個目を指す)はレジスタ114-1に取り込まれる。下位7ビットをセクションFEBEとして加算器114-2とレジスタ114-3により蓄積する。

B3：図15(c)に示す通り、B3バイトはレジスタ115-1に取り込まれる。PBIP-8計算回路115-2によって1つ前のバーチャルコンテナ(VC)のパスBIP-8を計算しておく。レジスタ115-1の出力8ビットとPBIP-8計算回路115-2の出力8ビットをビット毎に比較器115-3で比較する。異なっているビットは前フレームにビットエラーがあったことを示す。カウンタ115-4でビットエラーの数を数え、加算器115-5とレジスタ115-6により、ビットエラー数を蓄積する。

G1：図15(d)に示す通り、G1バイトはレジスタ116-1に取り込まれる上位4ビットを、パスFEBEとして加算器116-2とレジスタ116-3により蓄積する。また上位4ビットが1001に等しくなる回数をカウントするPFERF検出器116-5により、パスFERFを検出し、上位から5ビット目が1になる回数をカウントするPYEL検出器116-4によりパスYELを検出する。

【0010】以上の通り、従来の受信オーバーヘッド処理部102は、各オーバーヘッドバイトの処理毎に専用のハードウェアを設けて処理を行っている。

【0011】次に、送信系について説明する。送信フレーム組立部105を図16に基づいて説明する。この送信フレーム組立部105は、カウント動作を行うフレームカウンタ105-1と、このフレームカウンタ105-1の出力するカウントにより所望のレジスタの内容を読み出すレジスタ読み出し回路105-2と、前記フレ

ームカウンタ105-1の出力するカウントにより所望のセルデータを要求するペイロード要求表示回路105-3と、前記フレームカウンタ105-1の出力するカウントにより前記レジスタ読み出し回路105-2の出力と前記送信セル処理部の出力とを選択して出力するセクタ105-4と、このセクタ105-4の出力にスクランブルをかけてネットワークへ送信するスクランブラ105-5とを有する。次に、この動作について説明する。フレームカウンタ105-1は伝送フレームの構造に合わせ、水平方向270バイト、垂直方向9行の循環カウント動作を行なう。レジスタ読み出し回路105-2は伝送フレームがオーバーヘッド部分の期間に送信オーバーヘッド処理部のオーバーヘッドレジスタを読み出す。セルデータ要求表示回路105-3は伝送フレームがペイロード部分の期間中、送信セル処理部にセルデータを要求する信号を出力する。セクタ105-4はフレームカウンタ105-1を参照し、オーバーヘッド伝送期間中はレジスタアクセス回路105-2の出力を選択し、ペイロード期間中は送信セル処理部106からの入力を選択する。セクタ105-4の出力はスクランブラ105-5でスクランブルをかけた後、ネットワークに送り出される。

【0012】次に、送信オーバーヘッド処理部104の動作を図17に基づいて、オーバーヘッドバイト別に説明する。

A1/A2: LSIの立ち上げ時にA1としてF6HをA1レジスタ120に設定する。またA2として28HをA2レジスタ121に設定する。

C1: C1レジスタ122に01H, 02H, 03Hのいずれかの値を設定する。どの値にするかは外部の使用環境に依存する。

B1: 前フレームのセクションBIP-8をSBIP-8計算回路123で計算しておき、その結果をB1レジスタ124に設定する。

H1/H2: 通常はH1レジスタ125、H2レジスタ126にポインタ値を設定しておく。パスAISを送信するときは警報信号発生回路から値が設定される。このとき、ポインタ値は別のレジスタに退避させておく。

H3: 00Hを入れる。

B2(H)/B2(M)/B2(L): 前フレームのセクションBIP-24をSBIP-24計算回路129で計算しておき、その結果をB2(H)レジスタ130、B2(M)レジスタ131、B2(L)レジスタ132にそれぞれ設定する。

K2: K2レジスタ133に警報信号発生回路128が発生する値を設定する。

Z2: Z2レジスタ134に警報信号発生回路128が発生する値を設定する。

J1: J1レジスタ136に文字コード発生回路135が発生する値を設定する

。B3: 前バーチャルコンテナのパスBIP-8計算回路137で計算しておき、その結果をB3にレジスタ138に設定する。

C2: LSIの立ち上げ時にC2レジスタ139に13Hを設定する。

G1: G1レジスタ140に警報信号発生回路128が発生する値を設定する。

【0013】以上の通り、従来の送信オーバーヘッド処理部104は、受信オーバーヘッド処理部102と同様に各オーバーヘッドバイトの処理毎に専用のハードウェアを設けて処理を行っている。

【0014】

【発明が解決しようとする課題】B-ISDNは現状では規格が固まりつつある段階であり、将来新しいオーバーヘッドバイトが定義される可能性がある。また現状でも、オーバーヘッド部にD1~D12のように各国で定義して良い部分がある。しかしながら、従来の通信用LSIでは上述のように、各オーバーヘッドバイトの処理毎に処理が固定されたハードウェアを使用していた。また、例えば、図14に示した比較器やカウンタ等のハードウェアが専用に各処理部に各々設けられていたため、以下の問題点があった。1) 規格の追加、変更に対応出来ない。

2) オーバヘッドのうちの各国別に定義して良い部分に対応出来ない。

3) ハードウェアの規模が大きい。

本発明は上記問題点に鑑みてなされたものであり、その目的とするところは、将来の物理層規格の追加・変更に対応することができ、またハードウェア規模を減少することである。

【0015】

【課題を解決するための手段】本発明の発明者は、従来は各処理毎に専用のハードウェアを設けていたため、上述のような問題点があると考えた。そこで、LSI内部にプロセッサを設け、オーバーヘッドの処理をこのプロセッサで行なわせることにより、ハードウェアの規模を減少させればよいと考えた。また、従来はハードウェアにて処理を行っていたため、処理が固定されていた。すなわち、ハードウェアにて処理を行っていたため、一度LSIを作成してしまったならば変更は不可能であった。そこで、本発明の発明者は柔軟な処理を行うためには、処理をソフトウェアにて行わさせるようにすればよいと考えた。そこで、以下の発明を完成させることができた。

【0016】第1の発明の第1の構成は、B-ISDNの物理層のプロトコル処理を行う通信LSIにおいて、オーバーヘッド情報を格納するメモリと、プロトコル処理のプログラムを実行するプロセッサとを備えることを特徴とする。また、第1の発明の第2の構成は、前記プロセッサは、物理層のフレームに同期した信号の入力によ

り、待機状態から所定の動作を行なう動作状態に変化することを特徴とする。また、第1の発明の第3の構成は、前記物理層のフレームに同期した信号は、物理層フレームの各行に対応して発生し、プロトコル処理のプログラムが物理層フレームの各行に対応して定義されていることを特徴とする。また、第1の発明の第4の構成は、前記プロセッサは、受信を行うときプロトコル処理のプログラムを実行する受信プロセッサと、送信を行うときプロトコル処理のプログラムを実行する送信プロセッサとを備えることを特徴とする。

【0017】さらに、上記目的を達成するため、第2の発明の第1の構成は、B-ISDNの物理層のプロトコル処理を行う通信LSIにおいて、ネットワークからのデータを受信する受信フレーム分解部と、この受信フレーム分解部にて分解されたデータのうち、ペイロード部の処理を行い、ATM層に出力する受信セル処理部と、前記受信フレーム分解部にて分解されたデータのうち、オーバーヘッド部を蓄積する受信オーバーヘッドメモリ部と、この受信オーバーヘッドメモリ部にて蓄積された所望のデータを入力して、受信時のオーバーヘッドの処理を行う受信プロセッサ部と、この受信プロセッサ部にて処理された結果を記憶するステータスレジスタ部と、このステータスレジスタ部に記憶された結果を入力し、送信時のオーバーヘッドの処理を行う送信プロセッサ部と、この送信プロセッサ部の出力を蓄積する送信オーバーヘッドメモリ部と、ATM層からのデータを受信する送信セル処理部と、この送信セル処理部の出力及び前記送信オーバーヘッドメモリ部の出力をフレームに組立て、ネットワークに送信する送信フレーム組立部とを具備することを特徴とする。また、第2の発明の第2の構成は、前記受信プロセッサ部は、現在実行している命令の次に実行する命令語を格納する番地を保持するプログラムカウンタと、このプログラムカウンタが保持する番地を入力し、この番地に格納された命令を出力するプログラムRAMと、このプログラムRAMから出力された命令を保持する命令レジスタと、この命令レジスタにて保持された命令のデコードを行う命令デコーダと、前記受信フレーム分解部及び受信オーバーヘッドメモリに格納されたデータを選択するセレクトと、このセレクトにて選択されたデータを保持するレジスタと、このレジスタに保持されたデータをを入力し、処理を行う演算部とを有することを特徴とする。

【0018】また、第2の発明の第3の構成は、前記受信オーバーヘッドメモリ部は、オーバーヘッドのSOH、AUポインタ、及びPOHをその構造のまま格納することを特徴とする。

【0019】

【作用】上記第1及び第2の構成によれば、LSI内部にプロセッサを設け、オーバーヘッドの処理をプロセッサが行うので、専用のハードウェアを用いる従来法に比べ

てハードウェアの規模を減少することができるのである。

【0020】ここで、第1の発明の第2の構成では、物理層のフレームに同期した信号の入力により、動作状態に変化することで、より効率的にプロセッサを使用することができるのである。

【0021】また、第1の発明の第3の構成では、前記物理層のフレームに同期した信号は、物理層フレームの各行に対応して発生することにより、特殊な同期信号の必要がなく、処理の迅速化を図ることができ、また、プロトコル処理のプログラムが物理層フレームの各行に対応して定義されている、即ち、未定義や各国で定義してよい部分を確保してある。したがって、将来の規格の追加・変更等に柔軟に対応することができるのである。

【0022】また、第1の発明の第4の構成では、受信を行うときプロトコル処理のプログラムを実行する受信プロセッサと、送信を行うときプロトコル処理のプログラムを実行する送信プロセッサとを備えているので、より高速な処理を実現することができるのである。また、受信側の同期クロックと送信側の同期クロックが異なる場合であってもこの送受信の同期クロックを合わせることなく送受信処理が実行出来るのである。

【0023】また、第2の発明の第2の構成によれば、プロトコル処理のプログラムの記憶・変更を可能とするプログラムRAMを設けている。このプログラムRAMの内容を変更することにより、将来の規格の追加・変更にも柔軟に対応することができるのである。

【0024】さらに、第2の発明の第3の構成によれば、受信オーバーヘッドメモリ部に、オーバーヘッドのSOH、AUポインタ、及びPOHをその構造のまま格納することにより、将来の規格の追加・変更等の場合に、設計者等が当該規格に移行のための設計が容易になるばかりでなく、未定義や各国で定義してよい部分を確保してあるため、将来の規格の追加・変更等に柔軟に対応することができるのである。

【0025】

【実施例】本発明の実施例を図面を参照しながら説明する。図1乃至図8は本発明の一実施例を説明するための図である。まず、図1に本発明に係る通信用LSIの全体ブロック図を示す。この通信用LSIは、ネットワークからのデータを受信する受信フレーム分解部1と、この受信フレーム分解部にて分解されたデータのうち、ペイロードの処理を行い、ATM層に出力する受信セル処理部2と、受信フレーム分解部1にて分解されたデータのうち、オーバーヘッドを蓄積する受信オーバーヘッドメモリ3と、この受信オーバーヘッドメモリにて蓄積された所望のデータを入力して、受信時のオーバーヘッドの処理を行う受信プロセッサ4と、この受信プロセッサにて処理された結果を記憶するステータスレジスタ5と、このステータスレジスタ5に記憶された結果を入力し、送信時

のオーバーヘッドの処理を行う送信プロセッサ6と、この送信プロセッサの出力を蓄積する送信オーバーヘッドメモリ7と、ATM層からのデータを受信する送信セル処理部8と、この送信セル処理部の出力及び送信オーバーヘッドメモリの出力をフレームに組立て、ネットワークに送信する送信フレーム組立部9とを有する。

【0026】次に、この通信用LSIの全体動作の概要について説明する。ネットワークから受信したデータは受信フレーム分解部1に inputs され、オーバーヘッドとペイロードとに分けられる。ペイロードは受信セル処理部2に送られ、セル同期、セルヘッダ誤り訂正の後、ATM層に送られる。また、オーバーヘッドは一旦受信オーバーヘッドメモリ3に蓄えられる。受信プロセッサ4がオーバーヘッドメモリ3にアクセスしてオーバーヘッドからの各種情報の取り出し、所定の処理を行い、その結果をステータスレジスタ5に書き込む。一方、送信データはATM層から53バイトのATMセルの形式で送信セル処理部8に inputs される。送信セル処理部8はセルヘッダに誤り訂正情報を入れて送信フレーム組立部9に引き渡す。送信プロセッサ6はステータスレジスタ5からステータス情報を取り出して処理し、送信オーバーヘッドメモリ7内のオーバーヘッドバイトを更新する。送信フレーム組立部9は送信オーバーヘッドメモリ7からオーバーヘッドバイトを取り出し、送信セル処理部8からセルデータを受けとって伝送フレームを組み立て、ネットワークへ送信を行う。以上のように、物理層にて行うべき処理を受信系、送信系のプロセッサとオーバーヘッドメモリとを用いて行うことにより、従来から専用のハードウェアを各々設けていた場合に比べてハードウェア量を減少させることができるのである。

【0027】以下、各部の詳細の動作について説明する。

〔受信フレーム分解部〕受信フレーム分解部1の構成を図2に示す。受信フレーム分解部1は、ネットワークからの受信データにより同期化動作を行うフレーム同期回路1-1と、このフレーム同期回路1-1の出力によりカウントアップするフレームカウンタ1-2と、このフレームカウンタ1-2の出力により、受信オーバーヘッドメモリ3へ制御信号の出力を行うメモリアクセス回路1-3と、フレームカウンタ1-2の出力により受信セル処理部への出力を変化させるペイロード表示回路1-4と、フレームカウンタ1-2の出力により、受信プロセッサ4へオーバーヘッドの処理を要求する信号等を出力するフレーム処理要求発生回路1-5と、ネットワークより受信したデータをディスクリンブルし、受信セル処理部へ出力するディスクリンブラ1-6と、ネットワークから受信したデータのビットエラーを計算するSBIP-8計算回路1-7と、ディスクリンブラ1-6の出力のビットエラーを計算するSBIP-24計算回路1-8、及びPBIP-8計算回路1-9と、ディスクリン

ブラ1-6より出力されたデータのPOHの位置を検出するポインタ増減検出回路1-10と、ネットワークより受信した信号のLOSを検出するLOS検出回路1-11とを有する。次に受信フレーム分解部1の動作について説明する。まず、ディスクリンブラ1-6はネットワークからの受信データのスクランブルを解除し、その内容を受信セル処理部へ出力する。また、フレーム同期回路1-1はフレームの先頭の同期ワードA1、A2をサーチし、連続N回(Nは7程度)同期ワードを検出できると同期確立とする。フレームカウンタ1-2はフレーム同期回路1-1の制御により、フレームの先頭のA1バイトを起点としてフレームの水平方向と垂直方向をカウントアップする。メモリアクセス回路1-3はオーバーヘッドバイト(例えばB1)を受信していることをフレームカウンタの値で判断し、そのオーバーヘッドバイトが受信オーバーヘッドメモリの適切な箇所に格納されるように書き込みパルスと書き込みアドレスを発生する。フレーム処理要求回路1-5はフレームの各行でオーバーヘッドの取込みが終わるタイミングで受信プロセッサに対してオーバーヘッド処理要求信号とフレームの行数を出力する。ペイロード表示回路1-4は、受信セル処理部に対し、ペイロード受信期間中だけHighになる信号を発生する。SBIP-8計算回路1-7はフレーム毎のセクションBIP-8を計算する。SBIP-24計算回路1-8はフレーム毎のセクションBIP-24を計算する。PBIP-8計算回路1-9はパーチャルコンテナ毎のバスBIP-8を計算する。ポインタ増減検出回路1-10はフレームオーバーヘッド内のH1バイトとH2バイトをチェックしてポインタ増減指定が送られて来たか否かを判定する。LOS検出回路1-11はネットワークからの信号が無信号状態がある期間(2.3μsec~100μsecの範囲で設定出来る)続くことを検出する。

【0028】〔セル処理部〕セル処理部2は図10に示すようにセル同期回路2-1と、セルヘッダ誤り訂正回路2-2とを有する。セル同期回路は入力されるデータの連続する5バイトについてCRC(Cyclic Redundancy Check)の計算を行ない、結果が合うとヘッダを検出したものと見做す。連続N回(Nは7程度)ヘッダが検出されるとセル同期が確立されたものとする。セルヘッダ誤り訂正回路2-2はCRCの計算で1ビット誤りが検出されたとき、誤り訂正を行なう。

【0029】〔受信オーバーヘッドメモリ〕受信オーバーヘッドメモリ3は受信データのうちのオーバーヘッド部分を格納する他、受信プロセッサ4がオーバーヘッドの処理をするときのワークエリアとしても使用する。図4に示すように8Mを使用し、SOH、AUポインタ(H1、H2、H3)、POHは当分必要のない部分まで含めて、受信したままの形で格納する。また、このメモリのうち、何も割り当てられていない部分については、今後の

規格の追加・変更等に対応することができるとともにワーキングエリアとしても使用することができる。

【0030】本実施例においては、以下に示す様にワーキングエリアを使用する。

LOF-S/R: LOFの検出/解除に使用。

LOP-S/R: LOPの検出/解除に使用。

SAIS-S/R: セクションAISの検出/解除に使用。

PAIS-S/R: パスAISの検出/解除に使用。

SFERF-S/R: セクションFERFの検出/解除に使用。

PFERF-S/R: パスFERFの検出/解除に使用。

PYEL-S/R: パスYELの検出/解除に使用。

B1-SBIP8: 受信したB1とSBIP-8の不一致ビット数をカウントするのに使用。

B2-SBIP24: 受信したB2とSBIP-24の不一致ビット数をカウントするのに使用。

B3-SBIP8: 受信したB3とPBIP-8の不一致ビット数をカウントするのに使用。

RX-SFEFE: 受信したセクションFEFEの値を累積するのに使用。

RX-PFEFE: 受信したパスFEFEの値を累積するのに使用。

【0031】なお、この受信オーバーヘッドメモリは、ロジックLSIに搭載でき、リフレッシュ等を必要としないもの、例えばSRAMが好ましい。

【0032】[受信プロセッサ] 受信プロセッサ4は、図5の点線内部に示すように、受信フレーム分解部1の出力により現在実行している命令の次に実行する命令を格納する番地を保持するプログラムカウンタ4-1と、このプログラムカウンタ4-1の出力により命令を出力するプログラムRAM4-2と、このプログラムRAM4-2より出力された命令を保持する命令レジスタ4-*

*3と、この命令をデコードする命令デコーダ4-4と、受信オーバーヘッドメモリ3からの出力を選択するセクタ4-5と、このセクタ4-5により出力されたデータを保持するレジスタ4-6、4-7と、命令デコーダ4-4からの制御信号により、入力されたレジスタ4-6及び4-7に格納されたデータの各種処理を行い、その結果をステータスレジスタ5等に出力するALU4-8とを有する。次に、この受信プロセッサ4の動作について説明する。プログラムカウンタ4-1の内容でプログラムRAM4-2が読み出され、読み出された命令コードは命令レジスタ4-3に取り込まれてから命令デコーダ4-4でデコードされる。レジスタ4-6および4-7には受信オーバーヘッドメモリ3やステータスレジスタ5から読み出したデータがセクタ4-5に選択されて取込む。ALU4-8がレジスタ4-6および4-7に取り込んだデータに対する演算を実行する。実際の動作は次のようになる。受信プロセッサ4は通常は待機状態にあり、プログラムカウンタ4-1は0番地を指している。受信フレーム分解部1からフレーム処理要求信号が入力されるとプログラムカウンタ4-1に受信しているフレームの行数nがジャンプアドレスとしてセットれる。プログラムRAM4-2のn番地には受信フレームのn行目で実行するべきプログラムの先頭番地Nへのジャンプ命令が書かれている。受信プロセッサ4はこの2回のジャンプにより、N番地に到達し、n行目の処理を始める。一連の処理の結果はステータスレジスタ5に反映される。所定の処理が終わると受信プロセッサ4は待機状態に戻る。以上のように、プログラムRAM4-2にプログラムが格納されているので、処理内容の変更等の場合には、このプログラムを変更することで容易に対応することができる。

【0033】[ステータスレジスタ] ステータスレジスタ5は以下のステータス情報を格納する。

LOS: Loss of Signal	1bit
LOF: Loss of Frame	1bit
LOP: Loss of Pointer	1bit
LOC: Loss of Cell Delineation	1bit
SAIS: Section Alarm Indication Signal	1bit
PAIS: Path Alarm Indication Signal	1bit
SFERF: Section Far End Receive Failure	1bit
PFERF: Path Far End Receive Failure	1bit
PYEL: Path Yellow	1bit
SFEFE: Section Far End Block Error	7bit
PFEFE: Path Far End Block Error	4bit

[送信プロセッサ] 送信プロセッサ6は、図6の点線内部に示すように、送信フレーム組立部1の出力により現在実行している命令の次に実行する命令を格納する番地を保持するプログラムカウンタ6-1と、このプログラムカウンタ6-1の出力により命令を出力するプログラ

ムRAM6-2と、このプログラムRAM6-2より出力された命令を保持する命令レジスタ6-3と、この命令をデコードする命令デコーダ6-4と、送信オーバーヘッドメモリ7からの出力、及びステータスレジスタ5の出力を選択するセクタ6-5と、このセクタ6-5

により出力されたデータを保持するレジスタ6-6、6-7と、命令デコーダ6-4からの制御信号により、入力されたレジスタ6-6及び6-7に格納されたデータの各種処理を行い、その結果を送信オーバーヘッドメモリ7等へ出力するALU4-8とを有する。次に、この送信プロセッサ6の動作について説明する。プログラムカウンタ6-1の内容でプログラムRAM6-2が読み出され、読み出された命令コードは命令レジスタ6-3に取り込まれてから命令デコーダ6-4でデコードされる。レジスタ6-6および6-7にはステータスレジスタ5から読み出したデータを取込む。ALU6-8がレジスタ6-6および6-7に取り込んだデータに対する演算を実行する。実際の動作は次のようになる。送信プロセッサ6は通常は待機状態にあり、プログラムカウンタ6-1は0番地を指している。送信フレーム組立部9からフレーム処理要求信号が入力されるとプログラムカウンタに送信フレームの行数nがジャンプアドレスとしてセットされる。プログラムRAM6-2のn番地には送信フレームのn行目で実行するべきプログラムの先頭番地Nへのジャンプ命令が書かれている。送信プロセッサはこの2回のジャンプにより、N番地に到達し、n行目の処理を始める。一連の処理の結果は送信オーバーヘッドメモリ7に反映される。所定の処理が終わると送信プロセッサ6は待機状態に戻る。なお、本実施例においては、受信プロセッサと送信プロセッサの2つのプロセッサを用いている。これは、送受信処理の高速化を図ることができるためであるが、受信処理と送信処理を1つのプロセッサにて実行することも可能である。

【0034】[送信オーバーヘッドメモリ] 送信オーバーヘッドメモリ7は図7に示すように送信データのうちのオーバーヘッド部分と64バイトのJ1コードを格納する(図では、C0~FF番地に格納されている)。メモリ内の各オーバーヘッドバイトの配置は、必要なオーバーヘッドバイトを格納する部分のみを確保して(つめて)配置してもよいが、将来の規格の追加・変更等に対応させるために図11に示したオーバーヘッドの構造のまま配置されている。このオーバーヘッドのうち、A1、A2、C1、H3、C2はLSIの立ち上げ時に設定され、以後変更されない。B1、B2、B3、Z2、J1、G1は毎フレーム更新される。H1、H2、K2は警報信号送出時に更新される。オーバーヘッドの更新はすべて送信プロセッサ6が実行する。C0HからFFHに配置されたJ1コードはLSIの立ち上げ時に外部から設定する。

【0035】[フレーム組立部] フレーム組立部8は図8に示す通り、フレームカウンタ8-1と、このフレームカウンタ8-1からの入力により送信オーバーヘッドメモリからデータを取り出すメモリアクセス回路8-2と、フレームカウンタ8-1の出力により、送信プロセッサ6へオーバーヘッドの処理を要求する信号等を出力するフレーム処理要求回路8-3と、送信セル処理部へセ

ルデータを要求する信号を出力するペイロード要求表示回路8-4と、フレームカウンタ8-1の出力により、メモリアクセス回路の出力と送信セル処理部の出力を選択して出力するセクタ8-5と、このセクタ8-5の出力にスクランブルをしてネットワークへ送信するスクランブラ8-6と、このスクランブラ8-6の出力のビットエラーを計算するSBIP-8計算回路8-7と、セクタ8-5の出力のビットエラーを計算するSBIP-24計算回路8-8、PBIP-8計算回路8-9とを有する。次に、このフレーム組立部8の動作について説明する。フレームカウンタ8-1に合わせてメモリアクセス回路8-2が送信オーバーヘッドメモリからオーバーヘッドバイトを読み出す。ペイロード要求表示回路8-4は送信フレームがペイロードを送出する期間中、セルデータを要求する信号を送信セル処理部9に対して出力し、送信セル処理部9がこれに応じてセルデータをフレーム組立部8に入力する。セクタ8-5がフレームカウンタ8-1に合わせてオーバーヘッドバイトとセルデータを適宜選択し、スクランブラ8-6でスクランブル処理してネットワークに送り出す。SBIP-8計算回路8-7はスクランブル後の送信データについてフレーム毎のセクションBIP-8を計算する。このSBIP-24計算回路8-8はスクランブル前の送信データについてフレーム毎のセクションBIP-24を計算する。PBIP-8計算回路8-9はスクランブル前の送信データについてパッチャルコンテナ毎のバスBIP-8を計算する。

【0036】[送信セル処理部] 送信セル処理部9はATM層から入力されるセルデータのセルヘッダ4バイトについてCRC(Cyclic Redundancy Check)を計算し、5バイト目にその結果を入れて、フレーム組立部8に渡す。

【0037】次に、本発明の実施例におけるオーバーヘッドの処理について説明する。

[受信時のオーバーヘッド処理] 受信フレームのオーバーヘッドバイトはすべて受信オーバーヘッドメモリ3に取り込まれる。

B1: SBIP-8計算回路1-7によって前フレームのセクションBIP-8を計算しておく。受信プロセッサがSBIP-8計算回路1-7からSBIP-8の値を読み出し、受信オーバーヘッドメモリ3に取り込まれたB1の値と比較を行ない、異なっているビット数を数えて、受信オーバーヘッドメモリ3内の変数B1-SBIP8の値に加える。ホストCPUがこの変数を1秒に1回、パフォーマンスチェックのために読み取るが、その際にクリアする。

H1/H2: ポインタ増減指定はポインタ増減検出回路により検出する。ポインタ値の有効性判定や3回同一の値が続くかどうかのチェックは受信プロセッサ4が実行する。

B2: SBIP-24計算回路1-8によって前フレームのセクションBIP-24を計算しておく。受信プロセッサ4がSBIP-24計算回路1-8からSBIP-24の値を読み出し、受信オーバーヘッドメモリ3に取り込まれたB2の値と比較を行ない、異なっているビット数を数えて、その値をステータスレジスタ5のSFEBEに書き込み、さらに受信オーバーヘッドメモリ3内の変数B2-SBIP24の値に加える。ホストCPUがこの変数を1秒に1回、パフォーマンスチェックのために読み取るが、その際にクリアする。

K2: SAISの検出(下位3ビットが111と等しくなる回数を数をカウントする)、SFERFの検出(下位3ビットが110と等しくなる回数をカウントする)を受信プロセッサ4が実行する。SAISやSFERFを検出したときはステータスレジスタ5の該当するビットを立てる。

Z2: セクションFEBEを受信オーバーヘッドメモリ3内のRX-FEBEに蓄積する。

B3: PBIP-8計算回路1-9によって前バーチャルコンテナのパスBIP-8を計算しておく。受信プロセッサ4がPBIP-8計算回路1-9からPBIP-8の値を読み出し、受信オーバーヘッドメモリ3に取り込まれたB3の値と比較を行ない、異なっているビット数を数えて、ステータスレジスタ5のPFEBEに書き込むとともに受信オーバーヘッドメモリ3内の変数B1-SBIP8の値に加える。ホストCPUがこの変数を1秒に1回、パフォーマンスチェックのために読み取るが、その際にクリアする。

G1: 受信プロセッサ4がパスFEBEを受信オーバーヘッドメモリ3の変数RX-PFEBEに加える。また上位4ビットが1001に等しくなる回数をカウントしてPFERFの有無をチェックし、上位から5ビット目が1に等しくなる回数をカウントしてPYELの有無をチェックする。

【0038】[送信時]のオーバーヘッド処理
オーバーヘッドバイトは送信オーバーヘッドメモリ7に設定することで送信出来る。それぞれのオーバーヘッドバイトは送信オーバーヘッドメモリ内に設定する場所が図14の様に決まっている。

A1/A2: LSI立ち上げ時にA1=F6H、A2=28Hを送信オーバーヘッドメモリ7の該当箇所に設定する。

C1: LSI立ち上げ時にC1=01H、02H、03Hのいずれかの値を送信オーバーヘッドメモリ7の該当箇所に設定する。どの値にするかは外部の使用環境に依存する。

B1: 前フレームのセクションBIP-8をSBIP-8計算回路8-7で計算しておき、その結果を送信プロセッサ6が読み出して、送信オーバーヘッドメモリ7の該当箇所に設定する。

H1/H2: LSI立ち上げ時にポインタ値を設定しておく。パスAISを送信するときは送信プロセッサ6がポインタ値を送信オーバーヘッドメモリ7のワーキングエリアに退避し、H1、H2にFFHを設定する。

H3: LSI立ち上げ時に00Hを入れる。B2(H)/B2(M)/B2(L): 前フレームのセクションBIP-24をSBIP-24計算回路1-8で計算しておき、その結果を送信プロセッサ6が送信オーバーヘッドメモリ7の該当箇所に設定する。

10 K2: ステータスレジスタ5を送信プロセッサ6がチェックし、セクションAISを送信する場合はK2バイトの下位3ビットに111を設定する。

Z2: 送信プロセッサ6がステータスレジスタ5からセクションFEBEを読み出し、送信オーバーヘッドメモリ7の該当箇所に設定する。

J1: LSI立ち上げ時に図7に示す様に64バイトのJ1コードを送信オーバーヘッドメモリ7に設定しておく。これを送信プロセッサ6が順次読み出して送信オーバーヘッドメモリ7の該当箇所に設定する。

20 B3: 前バーチャルコンテナのパスBIP-8をPBIP-8計算回路8-9で計算しておき、その結果を送信プロセッサ6が送信オーバーヘッドメモリ7の該当箇所に設定する。

C2: LSIの立ち上げ時に送信オーバーヘッドメモリ7の該当箇所に設定しておく。13Hを設定する。

G1: 送信プロセッサ6がステータスレジスタ5をチェックし、パスFEBEを送るべき時は送信オーバーヘッドメモリ7のG1バイト位置の上位4ビットに1001を設定し、またパスYELを送るべき時は上位から5ビット目に1を設定する。パスFEBE、パスYELを送る必要がないときはステータスレジスタ5からパスFEBEを読み出し、送信オーバーヘッドメモリ7の該当箇所に設定する。

【0039】

【発明の効果】上記の説明から明らかなように、本発明に係る通信用LSIではフレームオーバーヘッドの処理を内部プロセッサが実行するので、従来の物理層の処理に使用される通信用LSIのように各処理別に専用のハードウェアを備える場合に比べて回路規模を削減でき、しかも処理の内容を内部のプログラムRAMで自由に設定できるので、オーバーヘッドバイトの扱いに関する将来の追加、変更柔軟に対応でき、かつ、国別に定義して良いオーバーヘッドバイトの処理も可能になる。

【図面の簡単な説明】

【図1】本発明の実施例の全体構成図である。

【図2】本発明の実施例の受信フレーム分解部の構成図である。

【図3】本発明の実施例の受信セル処理部の構成図である。

50 【図4】本発明の実施例の受信オーバーヘッドメモリにお

21

けるデータ割付けである。

【図5】本発明の実施例の受信プロセッサの構成図である。

【図6】本発明の実施例の送信プロセッサの構成図である。

【図7】本発明の実施例の送信オーバーヘッドメモリにおけるデータ割付けである。

【図8】本発明の実施例の送信フレーム組立部の構成図である。

【図9】STM-1の伝送フレームのフォーマットである。 10

【図10】ユーザ・網インタフェースで使用するオーバーヘッドの用途を示した図表である。

【図11】STM-1の伝送フレームにおけるオーバーヘッドフォーマットである。

【図12】従来の物理層の処理を行う通信LSIの全体構成図である。

【図13】従来の物理層の処理を行う通信LSIの受信フレーム分解部の構成図である。

【図14】従来の物理層の処理を行う通信LSIの受信 20
オーバーヘッド処理部の構成図である。

【図15】従来の物理層の処理を行う通信LSIの受信オーバーヘッド処理部の構成図である。

【図16】従来の物理層の処理を行う通信LSIの送信フレーム組立部の構成図である。

【図17】従来の物理層の処理を行う通信LSIの送信オーバーヘッド処理部の構成図である。

【符号の説明】

- 1 受信フレーム分解部
- 1-1 フレーム同期回路
- 1-2 フレームカウンタ
- 1-3 メモリアクセス回路
- 1-4 ペイロード表示回路
- 1-5 フレーム処理要求回路
- 1-6 ディスクランブラ
- 1-7 SBIP-8計算回路
- 1-8 SBIP-24計算回路
- 1-9 PBIP-8計算回路
- 1-10 ポインタ増減検出回路
- 1-11 LOS検出回路
- 2 受信セル処理部
- 2-1 セル同期回路
- 2-2 セルヘッダ誤り訂正回路
- 3 受信オーバーヘッドメモリ
- 4 受信プロセッサ
- 4-1, 6-1 PC (プログラムカウンタ)
- 4-2, 6-2 プログラムRAM
- 4-3, 6-3 IR (命令レジスタ)
- 4-4, 6-4 DEC (デコーダ)
- 4-5, 6-5 セレクタ

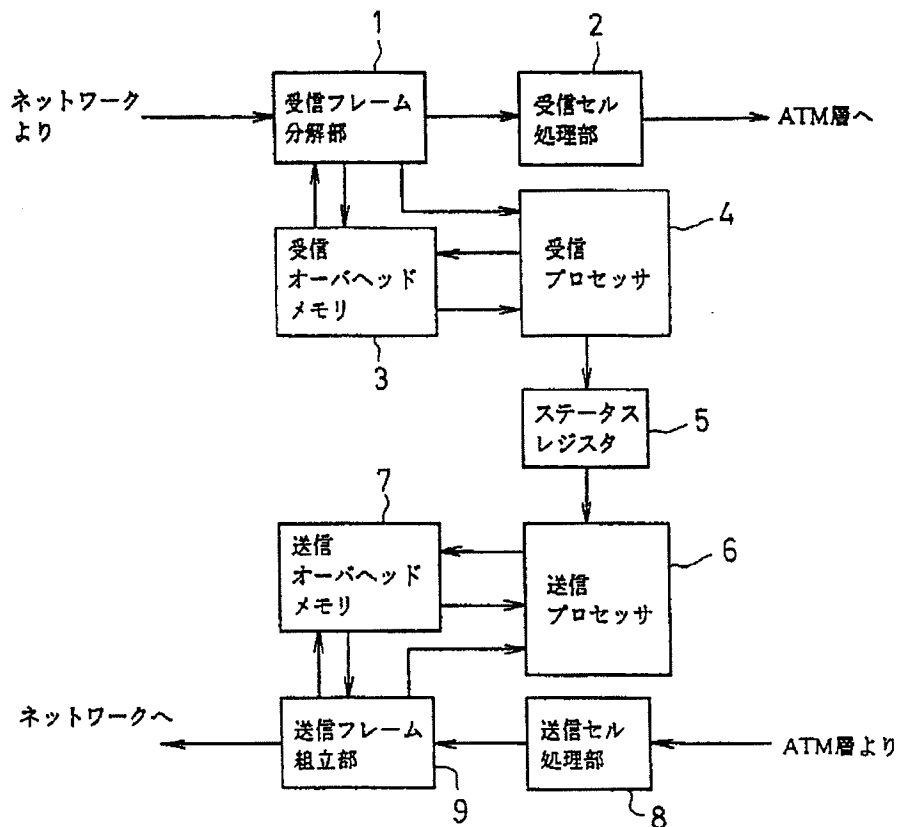
22

- 4-6, 6-6 レジスタA
- 4-7, 6-7 レジスタB
- 4-8, 6-8 ALU
- 5 ステータスレジスタ
- 6 送信プロセッサ
- 7 送信オーバーヘッドメモリ
- 8 送信セル処理部
- 8-1 フレームカウンタ
- 8-2 メモリアクセス回路
- 8-3 フレーム処理要求回路
- 8-4 ペイロード要求表示回路
- 8-6 スクランブラ
- 8-7 SBIP-8計算回路
- 8-8 SBIP-24計算回路
- 8-9 PBIP-8計算回路
- 9 送信フレーム組立部
- 100 受信フレーム分解部
- 100-1 フレーム同期回路
- 100-2 フレームカウンタ
- 100-3 ペイロード表示回路
- 100-4 レジスタ書込み回路
- 100-5 ディスクランブラ
- 101 受信セル処理部
- 102 受信オーバーヘッド処理部
- 103 ステータスレジスタ
- 104 送信オーバーヘッド処理部
- 105 送信フレーム組立部
- 105-1 フレームセレクタ
- 105-2 レジスタ読み出し回路
- 30 105-3 ペイロード要求表示回路
- 105-4 セレクタ
- 105-5 スクランブラ
- 106 送信セル処理部
- 110-1, 124 B1データレジスタ
- 110-2, 123 SBIP-8計算回路
- 110-3, 112-5, 115-3 比較器
- 110-4, 112-6, 115-4 カウンタ
- 110-5, 112-7, 114-2, 115-5, 1
- 16-2 加算器
- 40 110-6, 112-8, 114-3, 115-6, 1
- 16-3 レジスタ
- 111-1, 125 H1データレジスタ
- 111-2, 126 H2データレジスタ
- 111-3 ポインタ変更検出回路
- 112-1, 130 B2 (H) データレジスタ
- 112-2, 131 B2 (M) データレジスタ
- 112-3, 132 B2 (L) データレジスタ
- 112-4, 129 SBIP-24計算回路
- 113-1, 133 K2データレジスタ
- 50 113-2 SAIS検出回路

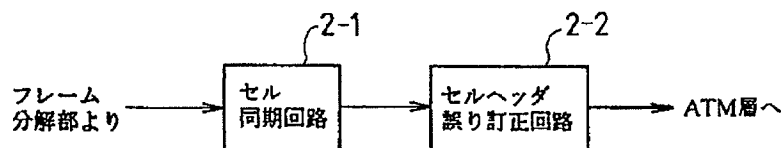
113-3 SFERF検出回路
 114-1, 134 Z2データレジスタ
 115-1, 138 B3データレジスタ
 115-2 PBIP-8計算回路
 116-1, 140 G1データレジスタ
 116-4 PYEL検出回路
 116-5 PFERF検出回路
 120 A1データレジスタ

121 A2データレジスタ
 122 C1データレジスタ
 128 警報信号発生回路
 135 文字コード発生回路
 136 J1データレジスタ
 137 PBIP-8計算回路
 139 C2データレジスタ

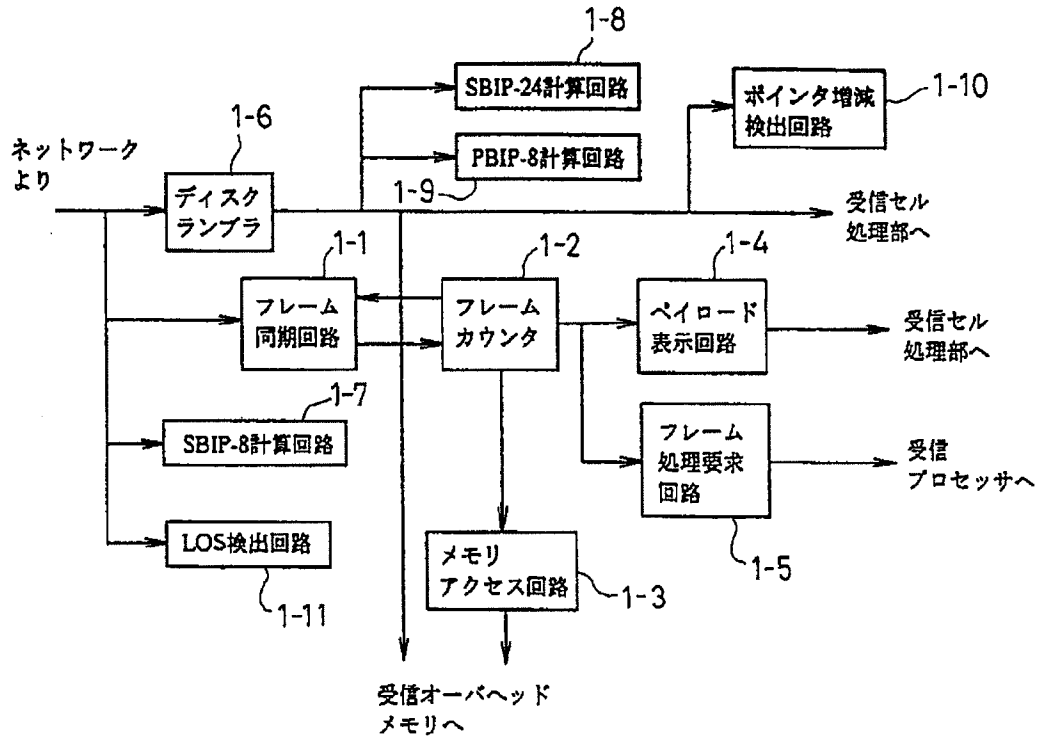
【図1】



【図3】



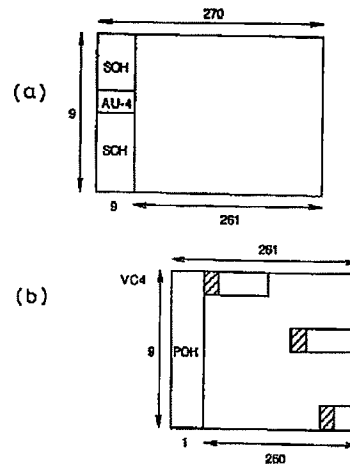
【図2】



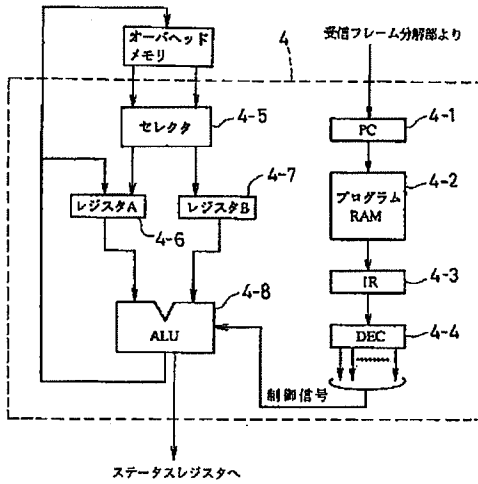
【図4】

		列アドレス															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
行 アド レス	0	A1	A1	A1	A2	A2	A2	C1	C1	C1	J1			LOF_S/R	B1-SBIP8		
	1	B1	-	-	E1	-	-	F1	-	-	B3			LDP_S/R	B2-SBIP24		
	2	D1	-	-	D2	-	-	D3	-	-	C2			SAIS_S/R	B3-PBIP8		
	3	H1	H1	H1	H2	H2	H2	H3	H3	H3	G1			PMS_S/R	RX-SFE8E		
	4	B2	B2	B2	K1	-	-	K2	-	-	F2			SFERF_S/R	RX-SFE8E		
	5	D4	-	-	D5	-	-	D6	-	-	H4			PFERF_S/R			
	6	D7	-	-	D8	-	-	D9	-	-	Z3			PVEL_S/R			
	7	D10	-	-	D11	-	-	D12	-	-	Z4						
	8	Z1	Z1	Z1	Z2	Z2	Z2	E2	-	-	Z5						
	9																
	A																
	B																
	C																
	D																
	E																
	F																

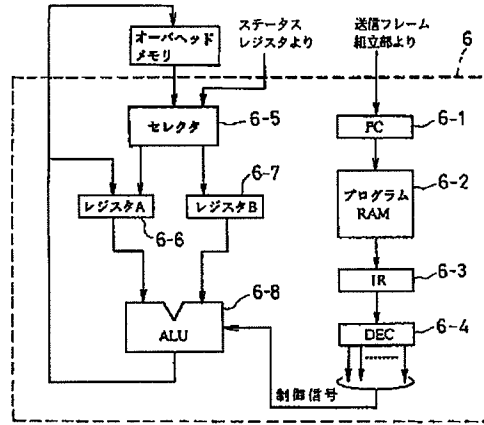
【図9】



【図5】



【図6】



【図7】

		列アドレス															
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
行アドレス	0	A1	A1	A1	A2	A2	A2	C1	C1	C1	J1						
	1	B1	-	-	E1	-	-	F1	-	-	B3						
	2	D1	-	-	D2	-	-	D3	-	-	C2						
	3	H1	H1	H1	H2	H2	H2	H3	H3	H3	G1						
	4	B2	B2	B2	K1	-	-	K2	-	-	F2						
	5	O4	-	-	D5	-	-	D6	-	-	H4						
	6	D7	-	-	D8	-	-	D9	-	-	Z3						
	7	D10	-	-	D11	-	-	D12	-	-	Z4						
	8	Z1	Z1	Z1	Z2	Z2	Z2	E2	-	-	Z5						
	9																
	A																
	B																
	C	J1-0	J1-1	J1-2	J1-3	J1-4	J1-5	J1-6	J1-7	J1-8	J1-9	J1-A	J1-B	J1-C	J1-D	J1-E	J1-F
	D	J1-10	J1-11	J1-12	J1-13	J1-14	J1-15	J1-16	J1-17	J1-18	J1-19	J1-1A	J1-1B	J1-1C	J1-1D	J1-1E	J1-1F
	E	J1-20	J1-21	J1-22	J1-23	J1-24	J1-25	J1-26	J1-27	J1-28	J1-29	J1-2A	J1-2B	J1-2C	J1-2D	J1-2E	J1-2F
	F	J1-31	J1-31	J1-32	J1-33	J1-34	J1-35	J1-36	J1-37	J1-38	J1-39	J1-3A	J1-3B	J1-3C	J1-3D	J1-3E	J1-3F

【図11】

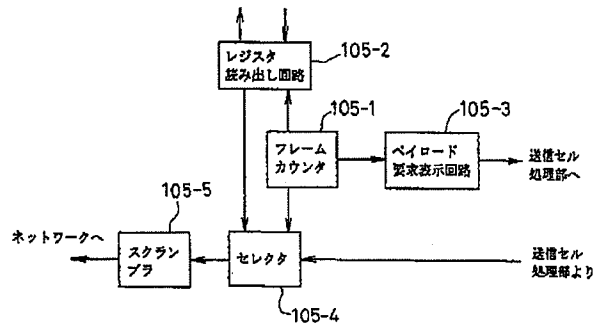
A1	A1	A1	A2	A2	A2	C1	C1	C1
B1	-	-	E1	-	-	F1	-	-
D1	-	-	D2	-	-	D3	-	-
H1	H1	H1	H2	H2	H2	H3	H3	H3
B2	B2	B2	K1	-	-	K2	-	-
D4	-	-	D5	-	-	D6	-	-
D7	-	-	D8	-	-	D9	-	-
D10	-	-	D11	-	-	D12	-	-
Z1	Z1	Z1	Z2	Z2	Z2	E2	-	-

(a)

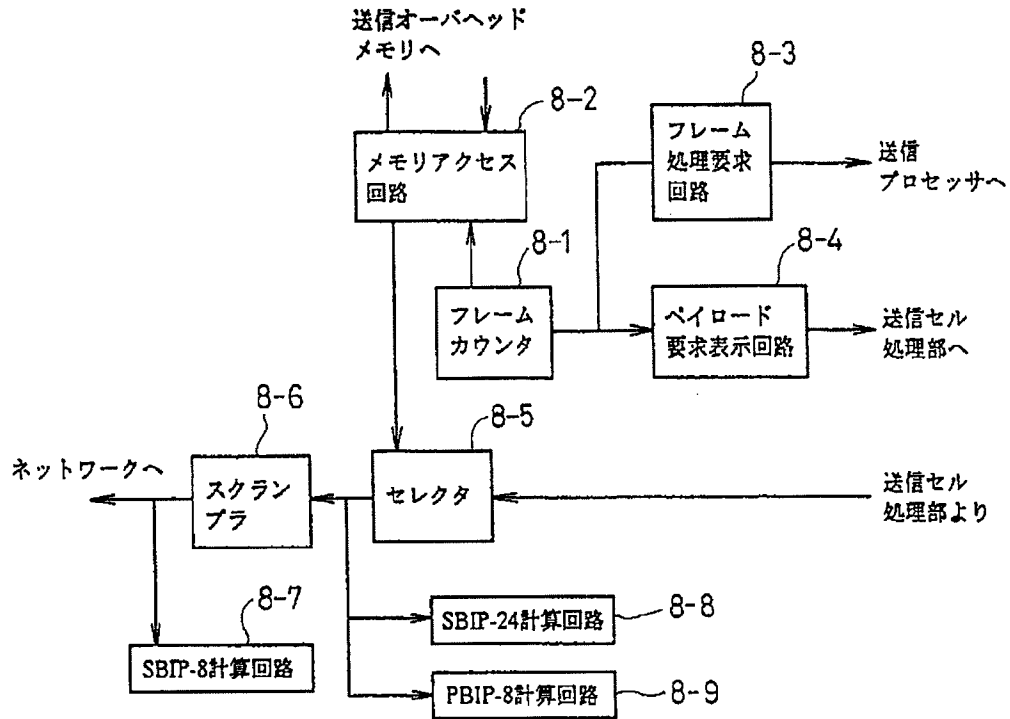
J1
B3
C2
G1
F2
H4
Z3
Z4
Z5

(b)

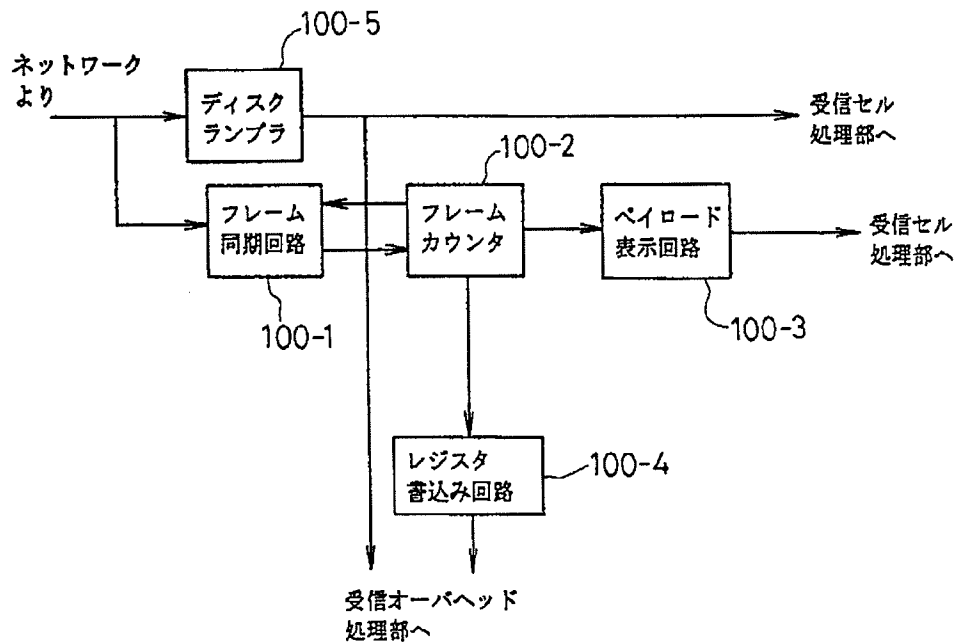
【図16】



【図8】



【図13】



【図10】

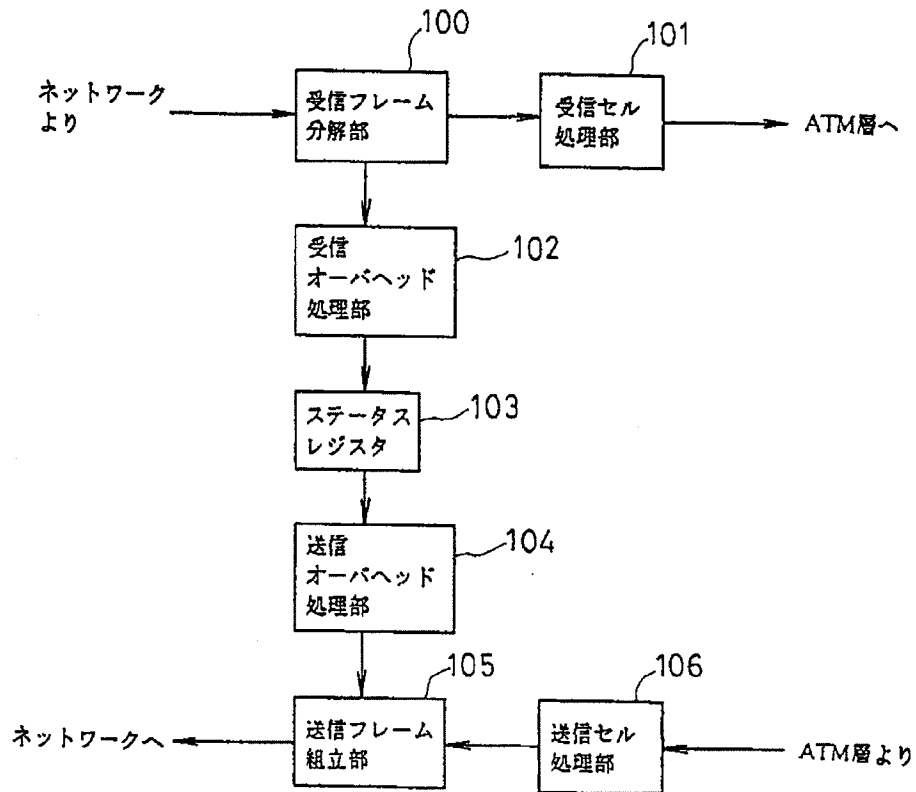
パラメータ	用途
A1,A2	フレーム同期に使用
C1	STM-N内の各STM-1を識別、またはSTS-N内の各STS-1を識別
B1	セクションBIP-8の計算結果を通知
E1	(NNIで中継セクションの音声通信用)
F1	(NNIで中継セクションの故障特定用)
D1-D3	(NNIで中継セクションのデータ通信用)
H1, H2	AUポインタおよびPath-AIS通知
H3	AUポインタでdecrement指示のときペイロードの一部が入る
B2	セクションBIP-24の計算結果を通知
K1	(NNIで切替え系の制御)
K2	s-AIS、s-FERFの通知 (NNIで切替え系の制御)
D4-D12	各国で国内仕様を規定
Z1	不使用
Z2	s-FEBE (セクションBIP-24誤り個数)

(a)

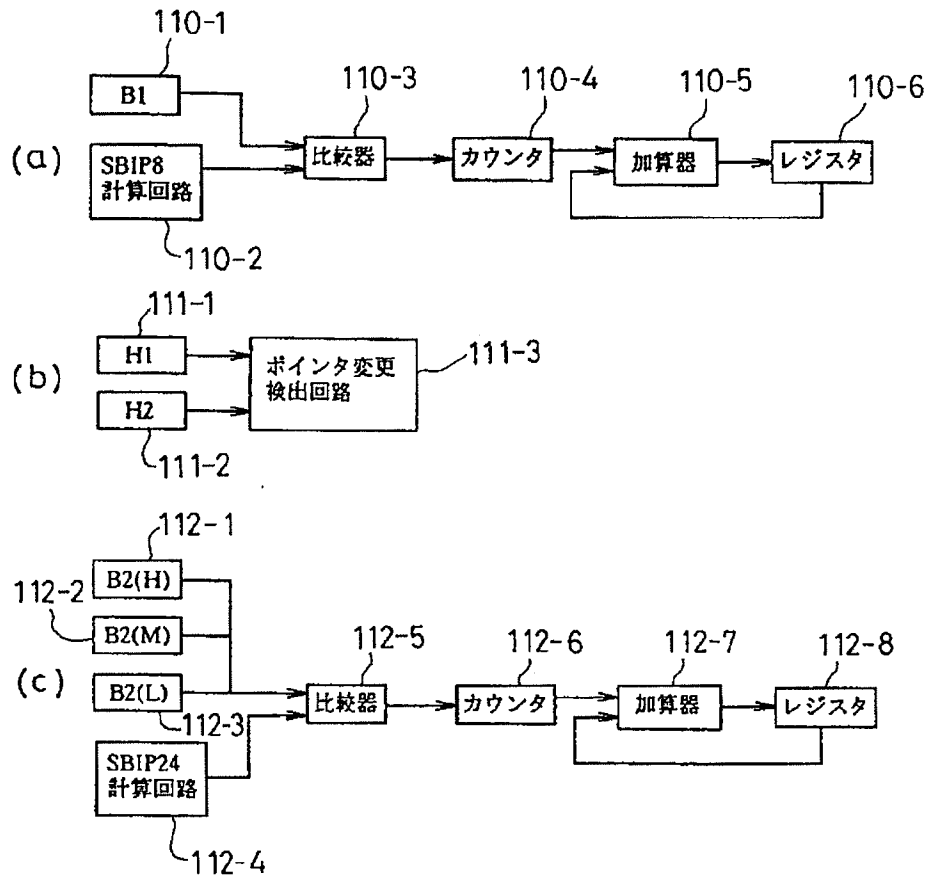
パラメータ	用途
J1	バス導通監視
B3	バスBIP-8計算結果の通知
C2	信号ラベルコード ATMの場合は13H固定
G1	P-FERF、P-YEL、P-FEBE (バスBIP-8エラー数) の通知
F2	(NNIで保守用チャネル)
H4	セルオフセット表示 (右端のH4から右にたどった最初のATMセル先頭までのバイト単位での距離)
Z3	予備
Z4	予備
Z5	予備

(b)

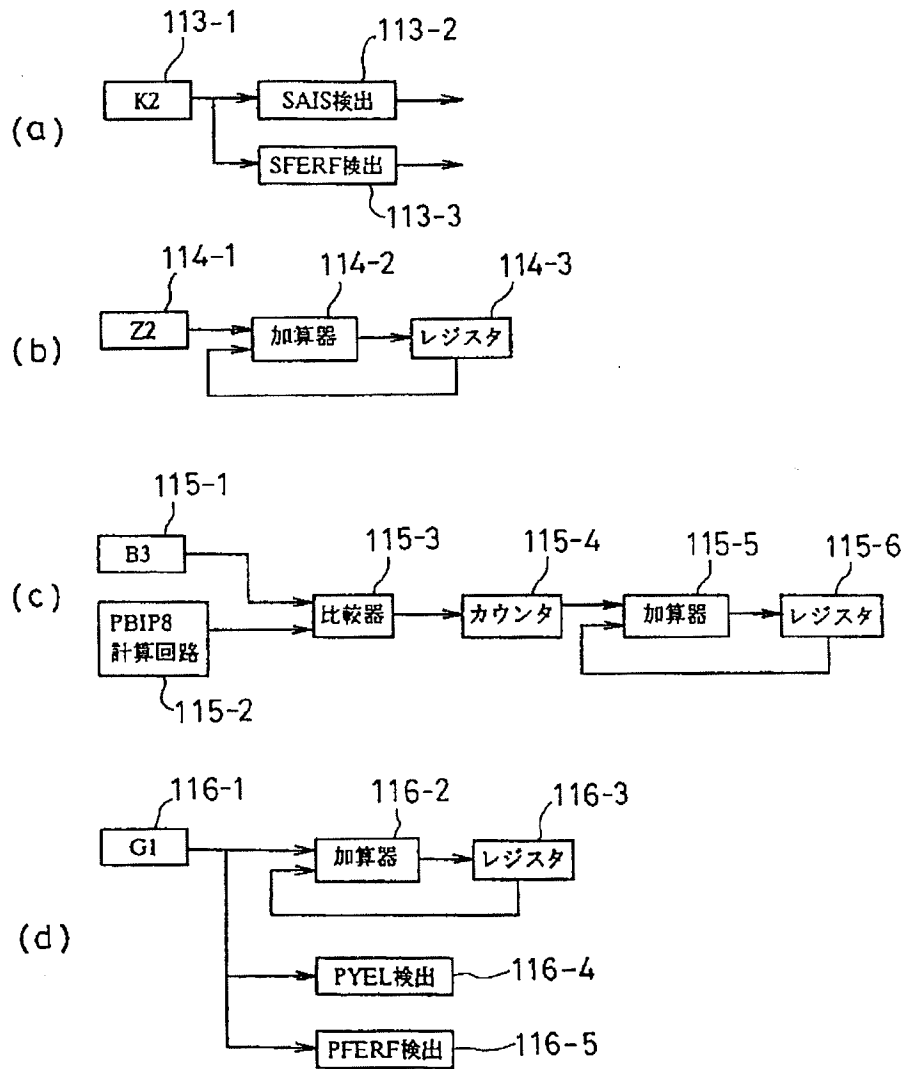
【図12】



【図14】



【図15】



【図 17】

